

35.C15697



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

MAHITO SHINOHARA

Application No.: 09/935,589

Filed: August 24, 2001

For: SOLID-STATE IMAGE
PICKUP APPARATUS

Examiner: Not Yet Known

Group Art Unit: 2811

November 9, 2001

RECEIVED

JUN 20 2002

Technology Center 2600

Commissioner for Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

In support of Applicant's claim for priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119, enclosed is the certified copy of the following Japanese Priority Application:

2000-256356 filed on August 25, 2000

RECEIVED

NOV 15 2001

TC 2800 MAIL ROOM

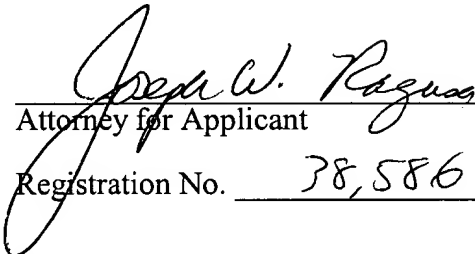
RECEIVED

DEC 11 2001

TC 2800 MAIL ROOM

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

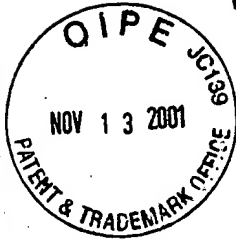


Attorney for Applicant
Registration No. 38,586

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200

RECEIVED
DEC 11 2001
TC 2800 MAIL ROOM

NY_MAIN 214754 v 1



日 本 国 特 許 庁
JAPAN PATENT OFFICE

CFD 15697 US / na
09/935 584
RECEIVED
NOV 16 2001
JC 2800 MAIL ROOM

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出 願 年 月 日
Date of Application:

2000年 8月25日

出 願 番 号
Application Number:

特願2000-256356

出 願 人
Applicant(s):

キヤノン株式会社

RECEIVED

JUN 20 2002

Technology Center 2600

RECEIVED
DEC 11 2001
JC 2800 MAIL ROOM

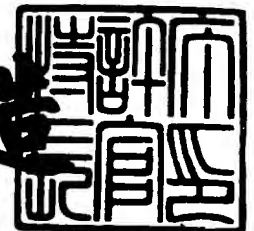
CERTIFIED COPY OF
PRIORITY DOCUMENT

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 4242023

【提出日】 平成12年 8月25日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/30

【発明の名称】 固体撮像装置および撮像システム

【請求項の数】 7

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 篠原 真人

【特許出願人】

 【識別番号】 000001007

 【氏名又は名称】 キヤノン株式会社

 【代表者】 御手洗 富士夫

【代理人】

 【識別番号】 100065385

 【弁理士】

 【氏名又は名称】 山下 穰平

 【電話番号】 03-3431-1831

【手数料の表示】

 【予納台帳番号】 010700

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置および撮像システム

【特許請求の範囲】

【請求項 1】 光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素と、

前記読み出し手段からの信号が読み出される出力線とを有し、

前記リセット手段は、前記出力線の信号レベルに応じて制御されることを特徴とする固体撮像装置。

【請求項 2】 それぞれ、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするためのリセット手段とを含む、水平方向と垂直方向に配列された複数の画素を有し、

前記読み出し手段を駆動させるための信号配線と、前記リセット手段を介して前記読み出し手段の入力部にリセット信号を供給するための信号配線とを共通にし、

共通の前記信号配線は、水平方向の複数の画素毎に信号を独立に供給することを特徴とする固体撮像装置。

【請求項 3】 請求項 1 又は請求項 2 に記載の固体撮像装置において、前記読み出し手段の入力部をリセットするためのリセット電位は該読み出し手段に接続される電源配線から供給されることを特徴とする固体撮像装置。

【請求項 4】 請求項 1 又は請求項 2 に記載の固体撮像装置において、前記読み出し手段及び前記リセット手段はそれぞれ MOS 型トランジスタであることを特徴とする固体撮像装置。

【請求項 5】 請求項 1 ～ 4 のいずれかの請求項に記載の固体撮像装置において、前記光電変換部と前記読み出し手段の入力部との間に転送スイッチを備え、該光電変換部に蓄積された信号電荷は該転送スイッチを通して前記読み出し手段の入力部に転送されることを特徴とする固体撮像装置。

【請求項 6】 請求項 1 ～ 4 のいずれかの請求項に記載の固体撮像装置において、前記読み出し手段の入力部には複数の転送スイッチが接続され、各転送ス

イッチにより複数の光電変換部から独立に信号電荷が転送されることを特徴とする固体撮像装置。

【請求項 7】 請求項 1～6 のいずれかの請求項に記載の固体撮像装置と、該固体撮像装置へ光を結像する光学系と、該固体撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は固体撮像装置および撮像システムに係わり、特に光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素を有する固体撮像装置および撮像システムに関するものである。

【0002】

【従来の技術】

従来、固体撮像装置としては、その S/N 比の良さから CCD が多く使われている。しかし、一方ではその使い方の簡便さや消費電力の小ささを長所とするいわゆる増幅型固体撮像装置の開発も行なわれてきた。増幅型固体撮像装置とは、受光画素に蓄積された信号電荷を、画素部に備わったトランジスタの制御電極に導き、増幅された信号を主電極から出力するタイプのものであり、増幅用トランジスタとして SIT（静電誘導トランジスタ）を使った SIT 型イメージセンサ、バイポーラトランジスタを使った BASIS、制御電極が空乏化する JFET（接合型電界効果トランジスタ）を使った CMD、MOS トランジスタを使った CMOS センサなどがある。特に CMOS センサは、CMOS プロセスとのマッチングが良く周辺 CMOS 回路をオンチップ化できることから開発に力が注がれている。

【0003】

図 4 は、従来の CMOS イメージセンサを表わす回路図であり、同図において 1 は単位画素であって、簡単のため 2×2 画素としている。2 は光を受け信号電荷を蓄積するためのフォトダイオード、3 は信号電荷増幅用の MOS トランジス

タ、4はフォトダイオード2に蓄積された信号電荷をMOSトランジスタ3のゲート電極部に転送するための転送用MOSトランジスタ、5はMOSトランジスタ3のゲート電極電位をリセットするためのリセット用MOSトランジスタ、6は電源電位供給線であり、リセット用MOSトランジスタ5のドレイン電極と増幅用MOSトランジスタ3のドレイン電極は、共通に電源電位供給線6に接続されている。7は出力画素を選択するための選択スイッチ用MOSトランジスタ、8は画素出力線であり、選択スイッチ用MOSトランジスタ7がオン状態になると、増幅用MOSトランジスタ3のソース電極と出力線8とが導通し、選択された画素の信号出力が出力線8に導かれる。9は画素出力線8に定電流を供給するための定電流供給用MOSトランジスタであり、選択された画素の選択スイッチ用MOSトランジスタ7を通して増幅用MOSトランジスタ3に負荷電流を供給し、増幅用MOSトランジスタ3をソースフォロワとして動作させ、MOSトランジスタ3のゲート電位とある一定の電圧差を持つ電位が出力線8に表われるようにしている。

【0004】

また、10は転送用MOSトランジスタ4のゲート電位を制御するための転送制御線、11はリセット用MOSトランジスタ5のゲート電位を制御するためのリセット制御線、12は選択用MOSトランジスタ7のゲート電位を制御するための選択制御線、13はMOSトランジスタ9が定電流供給源となるような飽和領域動作をするようにMOSトランジスタ9のゲートに一定の電位を供給するための定電位供給線である。14は転送制御線10に転送パルスを供給するためのパルス端子、15はリセット制御線11にリセットパルスを供給するためのパルス端子、16は選択制御線12に選択パルスを供給するためのパルス端子、17は行列配置の画素の行を順次選択走査するための垂直走査回路、18は垂直走査回路17の出力線であって、18-1は第1行選択出力線、18-2は第2行選択出力線である。19は転送制御線10にパルス端子14からのパルスを導くためのスイッチ用MOSトランジスタ、20はリセット制御線11にパルス端子15からのパルスを導くためのスイッチ用MOSトランジスタ、21は選択制御線12にパルス端子16からのパルスを導くためのスイッチ用MOSトランジスタ

であって、MOSトランジスタ19、20、21のゲートは行選択出力線18に接続され、どの行の画素が駆動されるかは行選択出力線18の状態によって決まる。

【0005】

また、22は画素からの出力読み出し回路であり、23は画素のリセット信号出力を保持するための容量、24は画素の光信号出力を保持するための容量、25は画素出力線8と容量23との導通をオンオフするためのスイッチ用MOSトランジスタ、26は画素出力線8と容量24との導通をオンオフするためのスイッチ用MOSトランジスタ、27は容量23に保持されたりセット出力が導かれるノイズ出力線、28は容量24に保持された光出力が導かれる信号出力線、29は容量23とノイズ出力線27との導通をオンオフするためのスイッチ用MOSトランジスタ、30は容量24と信号出力線28との導通をオンオフするためのスイッチ用MOSトランジスタ、31はノイズ出力線27の電位をリセットするためのノイズ出力線リセット用MOSトランジスタ、32は信号出力線28の電位をリセットするための信号出力線リセット用MOSトランジスタ、33はリセット用MOSトランジスタ31及び32のソース電極にリセット電位を供給するための電源端子、34は行列配置の画素の列毎に設けられた上記容量23、24を順次選択していくための水平走査回路であって、35-1は第1列を選択する出力線、35-2は第2列を選択する出力線であり、この水平走査回路34の出力線はスイッチ用MOSトランジスタ29、30に接続されている。また36はリセット用MOSトランジスタ31、32のゲートにパルスを印加するためのパルス供給端子、37、38は各々スイッチ用MOSトランジスタ25、26のゲートにパルスを印加するためのパルス供給端子、39はノイズ出力線27の電位と信号出力線28の電位との差電圧分を増幅して出力する差動アンプ、40は差動アンプ39の出力端子である。

【0006】

次に図5のタイミングチャートを使い、図4のセンサの動作を説明する。なお図4で示されているMOSトランジスタはすべてN型とし、ゲート電位がHighのレベルでオン状態、Lowのレベルでオフ状態になるとする。図5における

タイミングパルスを示す番号は図4におけるパルス入力端子の番号と一致させている。

【0007】

まず垂直走査回路17の動作によって行選択出力線18-1がHighレベルとなると画素行列の第1行の動作が可能となる。パルス端子16がHighレベルとなると画素の増幅用MOSトランジスタ3のソースが出力線8を通して定電流源9と接続することで画素のソースフォロウ出力が出力線8に出力される。そしてパルス端子15をHighレベルとすることで増幅用MOSトランジスタ3のゲート部がリセット用MOSトランジスタ5によってリセットされ、次にパルス供給端子37にHighパルスを印加した時、画素のリセット出力がMOSトランジスタ25を通して容量23に蓄積される。

【0008】

次に端子14にHighパルスを印加することでフォトダイオード2に蓄積された信号電荷が転送用MOSトランジスタ4を通してMOSトランジスタ3のゲートに転送される。引き続き端子38にHighパルスを印加した時、画素のリセット出力に信号が上乘せされた出力がMOSトランジスタ26を通して容量24に蓄積される。画素のリセット出力は各画素のMOSトランジスタ3のしきい電圧のばらつきがあるためばらつきを生じる。よって容量23と容量24に蓄積された出力の差分がノイズのない純粋な信号となる。水平走査回路34を動かせば出力線35-1, 35-2が順次Highとなり各列の容量23, 24に蓄積された出力はそれぞれMOSトランジスタ29, 30を通して水平出力線27, 28に導かれる。出力線35-1, 35-2のHighパルスが出力される前には端子36をHighレベルとしMOSトランジスタ31, 32を通して水平出力線27, 28をリセットしておく。水平出力線27, 28に導かれた画素リセット出力及び画素リセットレベルに上乘せされた信号出力は差動アンプ39に入力され、リセットレベル分が差し引かれた、すなわちノイズのない画素信号が出力端子40から出力される。

【0009】

【発明が解決しようとする課題】

しかし上記従来例ではひとつの画素を構成するMOSトランジスタおよび、制御線の数が多く、縮小画素を実現するのが困難であるという課題があった。すなわち、図4に示した従来例においては、1画素はフォトダイオード、電源線、画素出力線のほか4つのMOSトランジスタおよび3本の制御線を有しており、単純な構成であるCCDの画素と比べると縮小画素の実現は不利であった。

【0010】

本発明の主たる目的は、CMOSセンサ等のXYアドレス型のセンサの画素を構成するトランジスタおよび制御線の数減らし、画素の縮小化を容易にすることにある。

【0011】

【課題を解決するための手段および作用】

本発明の固体撮像装置は、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするために、リセット信号を前記入力部に供給するためのリセット手段とを含む画素と、

前記読み出し手段からの信号が読み出される出力線とを有し、

前記リセット手段は、前記出力線の信号レベルに応じて制御されることを特徴とする。

【0012】

また本発明の固体撮像装置は、それぞれ、光電変換部と、前記光電変換部からの信号を読み出す読み出し手段と、前記読み出し手段の入力部をリセットするためのリセット手段とを含む、水平方向と垂直方向に配列された複数の画素を有し

、前記読み出し手段を駆動させるための信号配線と、前記リセット手段を介して前記読み出し手段の入力部にリセット信号を供給するための信号配線とを共通にし、

共通の前記信号配線は、水平方向の複数の画素毎に信号を独立に供給することを特徴とする。

【0013】

本発明について、図1の構成を例にとって説明する。

【 0 0 1 4 】

図 1 に示すように、本発明は、リセット手段となるリセット用 MOS トランジスタ 5 のドレイン部に接続するリセット電位供給線を、読み出し手段となる増幅用 MOS トランジスタ 3 のドレイン部に接続する電源供給線と共通化し、また画素出力線 8 をリセット用 MOS トランジスタ 5 のゲートに接続し、行選択用の MOS トランジスタとそのゲート電位制御線およびリセット用 MOS トランジスタのゲート電位制御線をなくすことを可能とするものである。

【 0 0 1 5 】

上記構成において、画素出力線はリセット制御線の役目を兼ねさせ、増幅用トランジスタのゲートを電源線電位にリセットする動作時、画素出力線の電位を制御し、リセット用 MOS トランジスタを ON、OFF する。また電源供給線は行毎独立に電位が変えられるようにし、上記リセット動作時に、非選択行のリセット電位供給線は増幅用トランジスタが非動作となるような電位、選択行の電源供給線は増幅用トランジスタが動作するような電位に設定する。このような画素出力線および電源供給線の設定、制御により、従来のリセット用 MOS トランジスタのゲート電位制御線、行選択用の MOS トランジスタおよびそのゲート電位制御線は不要となり、画素の縮小化が容易となる。

【 0 0 1 6 】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

〔第 1 の実施例〕

図 1 は本発明の第 1 の実施例を示す回路図である。本発明は画素構成および画素動作にかかわり、読み出し回路、水平走査系は図 4 に示した従来例と同じであるのでこの部分を省略し、ここでは、2×2 画素固体撮像装置の画素配置部と垂直走査系、および画素出力線電位制御回路のみを示している。図 1 において、図 4 と同じ部分については同じ番号を付し、説明を省略する。

【 0 0 1 7 】

図 1 において、4 1 は画素ソースフォロワの定電流供給用 MOS トランジスタ 9 のゲートに電位を供給し、定電流の ON、OFF 制御をおこなうための制御端

子、42は画素出力線8の電位を制御するためのMOSトランジスタ、43はMOSトランジスタ42のゲート電位を制御するためのパルス入力端子である。また各列の画素出力線8はその列の画素のリセット用MOSトランジスタ5のゲートに接続されている。またリセット用MOSトランジスタ5のドレインと増幅用MOSトランジスタ3のドレインは共通に垂直シフトレジスタ（垂直走査回路）17の出力線と接続している。この垂直シフトレジスタの出力線18-1, 18-2は各行の画素ソースフォロワの電源としての役割を担うため、大きな電流供給能力があるとする。

【0018】

なお、図1に示す各MOSトランジスタは、MOSトランジスタ42以外はN型とし、ゲート電位がHighレベルの時にON、Lowレベルの時にOFFになるとする。MOSトランジスタ42はP型とし、ゲート電位がHighレベルの時にOFF、Lowレベルの時にONになるとする。

【0019】

次に本実施例の動作について説明するが、本実施例の動作は、図4、図5で説明した従来例と比べて、1行の画素信号の読み出しを行う前のリセット動作に違いがあるだけである。このリセット動作は端子41および端子43をLowレベルとして、MOSトランジスタ9をOFF、P型MOSトランジスタ42をONとして、画素出力線8の電位をHighレベルとする。この時リセット用MOSトランジスタ5はON状態となるが、垂直シフトレジスタの出力に従い、選択された行の画素の増幅用MOSトランジスタ3のゲート電位はHighに、非選択行の画素の増幅用MOSトランジスタ3のゲート電位はLowにリセットされる。次にMOSトランジスタ9が定電流を流すように端子41の電位を設定、端子43電位をHighとしてMOSトランジスタ42をOFFにする。この状態においては選択行の画素ソースフォロワのみが動作し、画素のリセット出力が出力線8に読み出される。以下、読み出し回路においてリセット出力を蓄積、フォトダイオード2の信号電荷をMOSトランジスタ3のゲートへ転送、読み出し回路においてリセット+信号出力を蓄積、という一連の動作、駆動は図4、図5で説明した動作、駆動と同じである。

【0020】

図1において、各行のリセット電位供給源には垂直シフトレジスタの出力を用いているが、電流供給能力の高いバッファ回路を通した出力を用いてもよい。また上記動作において、画素のリセットが終了し、選択された画素の信号が画素出力線に出力された時点でリセット電位供給線がHighレベルとなるように駆動回路を設定してもよい。この時、画素出力線の電位は低く、非選択行の画素のMOSトランジスタ3が導通するほどMOSトランジスタ3のゲート電位が上がることはない。

【0021】

以上説明した第1の実施例によって、画素を構成するMOSトランジスタ、制御線の数従来に比べて減るため、縮小画素の実現が容易となる。

[第2の実施例]

図2は本発明の第2の実施例を示す回路図である。本発明は画素構成および画素動作にかかわり、読み出し回路、水平走査系は図4に示した従来例と同じであるのでこの部分を省略し、4行×2列の2次元固体撮像装置の画素配置部と垂直走査系、および画素出力線電位制御回路のみを示している。図2において、図1、図4と同じ部品については同じ番号を付し、説明を省略する。

【0022】

図2において、44は列方向に隣接する2つのフォトダイオードを含む単位画素を示している。フォトダイオードは各々独立であるので、単位画素44は撮像装置としての画素2つ分に相当するが、上記2つのフォトダイオードに蓄積した信号電荷は共通のアンプ用MOSトランジスタ3のゲート部に転送される。各列の画素出力線8はその列の画素のリセット用MOSトランジスタ5のゲートに接続されているのは図1と同じである。リセット用MOSトランジスタ5のドレインと増幅用MOSトランジスタ3のドレインが共通に接続するのも図1と同じであるが、フォトダイオードの行列配置において2行につき1本のリセット兼電源供給線がある。18-1、18-2、18-3、18-4は垂直シフトレジスタ17の出力であり、それぞれ第1行目、第2行目、第3行目、第4行目のフォトダイオードを読み出すために選択する。45は論理和ゲートであって、垂直シフ

トレジスタの出力線 2 本が入力され、その出力線 4 6 は単位画素 4 4 のリセット兼電源供給線となり、選択されたフォトダイオードが属する単位画素の供給線 4 6 は H i g h レベルとなるが、電源供給用として十分な電流供給能力があるとする。

【 0 0 2 3 】

なお、図 2 の MOS トランジスタは、MOS トランジスタ 9 以外は N 型とし、ゲート電位が H i g h レベルの時に ON、L o w レベルの時に OFF になるとする。MOS トランジスタ 9 のみは P 型とし、ゲート電位が H i g h レベルの時に OFF、L o w レベルの時に ON になるとする。

【 0 0 2 4 】

次にこの実施例の動作であるが、選択された MOS トランジスタ 3 のゲートを H i g h 電位でリセット、同時に選択されていない MOS トランジスタ 3 のゲートを L o w 電位でリセット、リセット出力読み出し、選択されたフォトダイオードの信号電荷転送、（リセット + 信号）出力読み出しという一連の動作は実施例 1 と同じであり、実施例 1 と違うのは、ひとつの単位画素に 2 つのフォトダイオードの出力を割り当てられているため、ひとつの単位画素が 2 行連続して選択されるということだけである。よって詳しい説明は省略する。

【 0 0 2 5 】

以上説明した第 2 の実施例においては、画素を構成する MOS トランジスタ、制御線の数に比べて、第 1 の実施例と比べてもさらに減るため、縮小画素の実現が容易となる。なお第 2 の実施例においては単位画素は 2 つのフォトダイオードを含むとしているが、2 つ以上のフォトダイオードを含む構成にしても成り立つ。

【 0 0 2 6 】

なお上記第 1 の実施例、および第 2 の実施例における MOS トランジスタの N 型、P 型、および駆動パルスの極性をそれぞれ逆にしてもよい。

【 0 0 2 7 】

次に上記第 1 及び第 2 の実施例の固体撮像装置を用いた撮像システムについて説明する。図 3 に基づいて、本発明の固体撮像素子をスチルカメラに適用した場

合の一実施例について詳述する。

【0028】

図3は本発明の固体撮像素子を“スチルビデオカメラ”に適用した場合を示すブロック図である。

【0029】

図3において、101はレンズのプロテクトとメインスイッチを兼ねるバリア、102は被写体の光学像を固体撮像素子104に結像させるレンズ、103はレンズ102を通った光量を可変するための絞り、104はレンズ102で結像された被写体を画像信号として取り込むための固体撮像素子、106は固体撮像素子104より出力される画像信号のアナログ→デジタル変換を行うA/D変換器、107はA/D変換器106より出力された画像データに各種の補正を行ったりデータを圧縮する信号処理部、108は固体撮像素子104、撮像信号処理回路105、A/D変換器106、信号処理部107に、各種タイミング信号を出力するタイミング発生部、109は各種演算とスチルビデオカメラ全体を制御する全体制御・演算部、110は画像データを一時的に記憶するためのメモリ部、111は記録媒体に記録または読み出しを行うためのインターフェース部、112は画像データの記録または読み出しを行うための半導体メモリ等の着脱可能な記録媒体、113は外部コンピュータ等と通信するためのインターフェース部である。

【0030】

次に、前述の構成における撮影時のスチルビデオカメラの動作について、説明する。

【0031】

バリア101がオープンされるとメイン電源がオンされ、次にコントロール系の電源がオンし、さらに、A/D変換器106などの撮像系回路の電源がオンされる。

【0032】

それから、露光量を制御するために、全体制御・演算部109は絞り103を開放にし、固体撮像素子4から出力された信号はA/D変換器106で変換され

た後、信号処理部 1 0 7 に入力される。そのデータを基に露出の演算を全体制御・演算部 1 0 9 で行う。

【0 0 3 3】

この測光を行った結果により明るさを判断し、その結果に応じて全体制御・演算部 1 0 9 は絞りを制御する。

【0 0 3 4】

次に、固体撮像素子 1 0 4 から出力された信号をもとに、高周波成分を取り出し被写体までの距離の演算を全体制御・演算部 1 0 9 で行う。その後、レンズを駆動して合焦か否かを判断し、合焦していないと判断したときは、再びレンズを駆動し測距を行う。

【0 0 3 5】

そして、合焦が確認された後に本露光が始まる。露光が終了すると、固体撮像素子 1 0 4 から出力された画像信号は A/D 変換器 1 0 6 で A-D 変換され、信号処理部 1 0 7 を通り全体制御・演算部 1 0 9 によりメモリ部に書き込まれる。その後、メモリ部 1 1 0 に蓄積されたデータは、全体制御・演算部 1 0 9 の制御により記録媒体制御 I/F 部を通り半導体メモリ等の着脱可能な記録媒体 1 1 2 に記録される。又外部 I/F 部 1 1 3 を通り直接コンピュータ等に入力して画像の加工を行ってもよい。

【0 0 3 6】

【発明の効果】

以上説明したように本発明によれば、画素を構成する構成部材、例えば CMOS センサでは MOS トランジスタ、ゲート電位制御線の数従来に比べて減らすことができ、画素の縮小化が容易となる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例を示す回路図である。

【図 2】

本発明の第 2 の実施例を示す回路図である。

【図 3】

本発明の固体撮像装置をスチルビデオカメラに適用した場合を示すブロック図である。

【図 4】

従来例の固体撮像装置を示す図である。

【図 5】

図 4 の固体撮像装置のタイミングチャート図である。

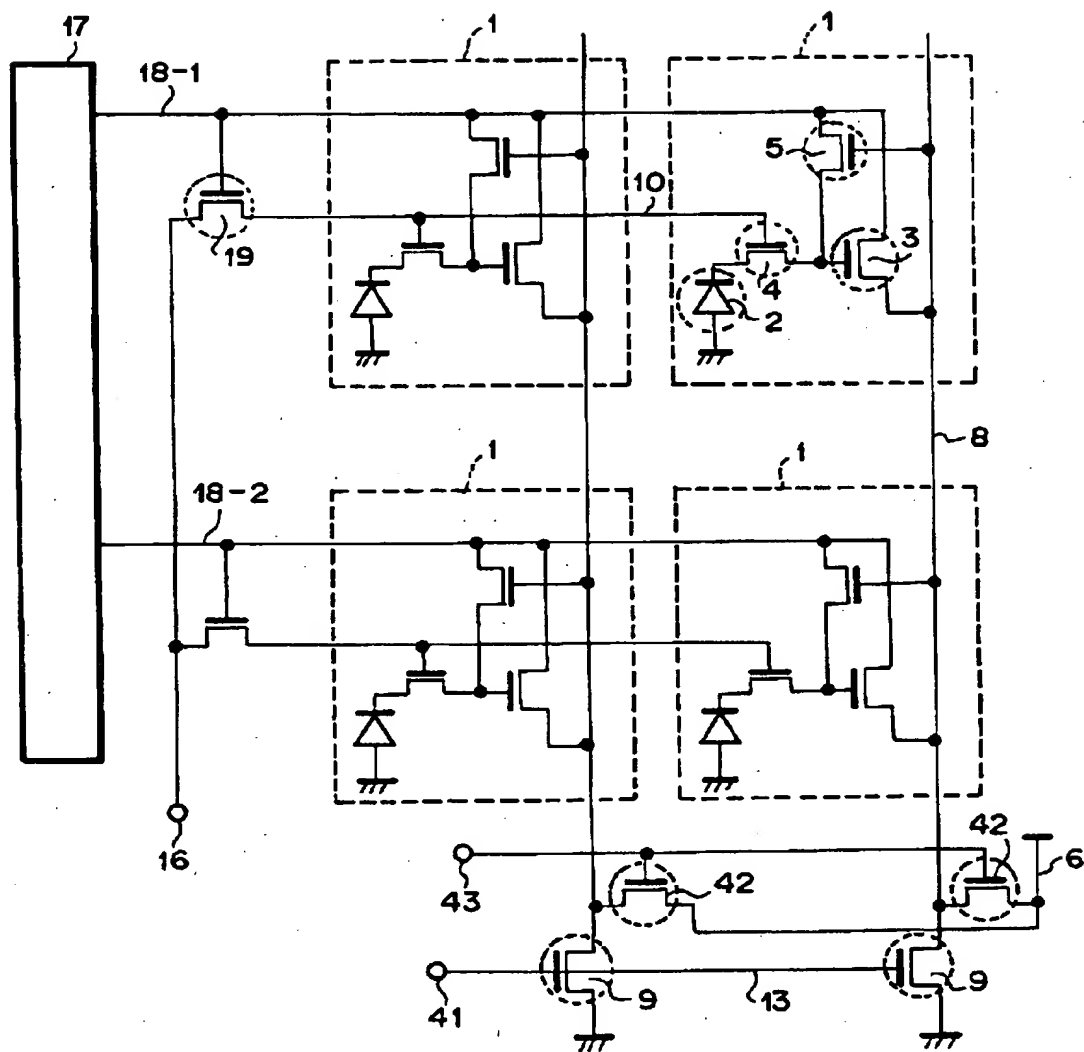
【符号の説明】

- 1 画素
- 2 フォトダイオード
- 3 MOSトランジスタ
- 4 MOSトランジスタ
- 5 MOSトランジスタ
- 6 電源線
- 7 MOSトランジスタ
- 8 画素出力線
- 9 MOSトランジスタ
- 10 ゲート制御線
- 11 ゲート制御線
- 12 ゲート制御線
- 13 ゲート制御線
- 14 パルス入力端子
- 15 パルス入力端子
- 16 パルス入力端子
- 17 垂直シフトレジスタ
- 18-1, 18-2, 18-3, 18-4 垂直シフトレジスタ出力線
- 19 MOSトランジスタ
- 20 MOSトランジスタ
- 21 MOSトランジスタ
- 22 読み出し回路

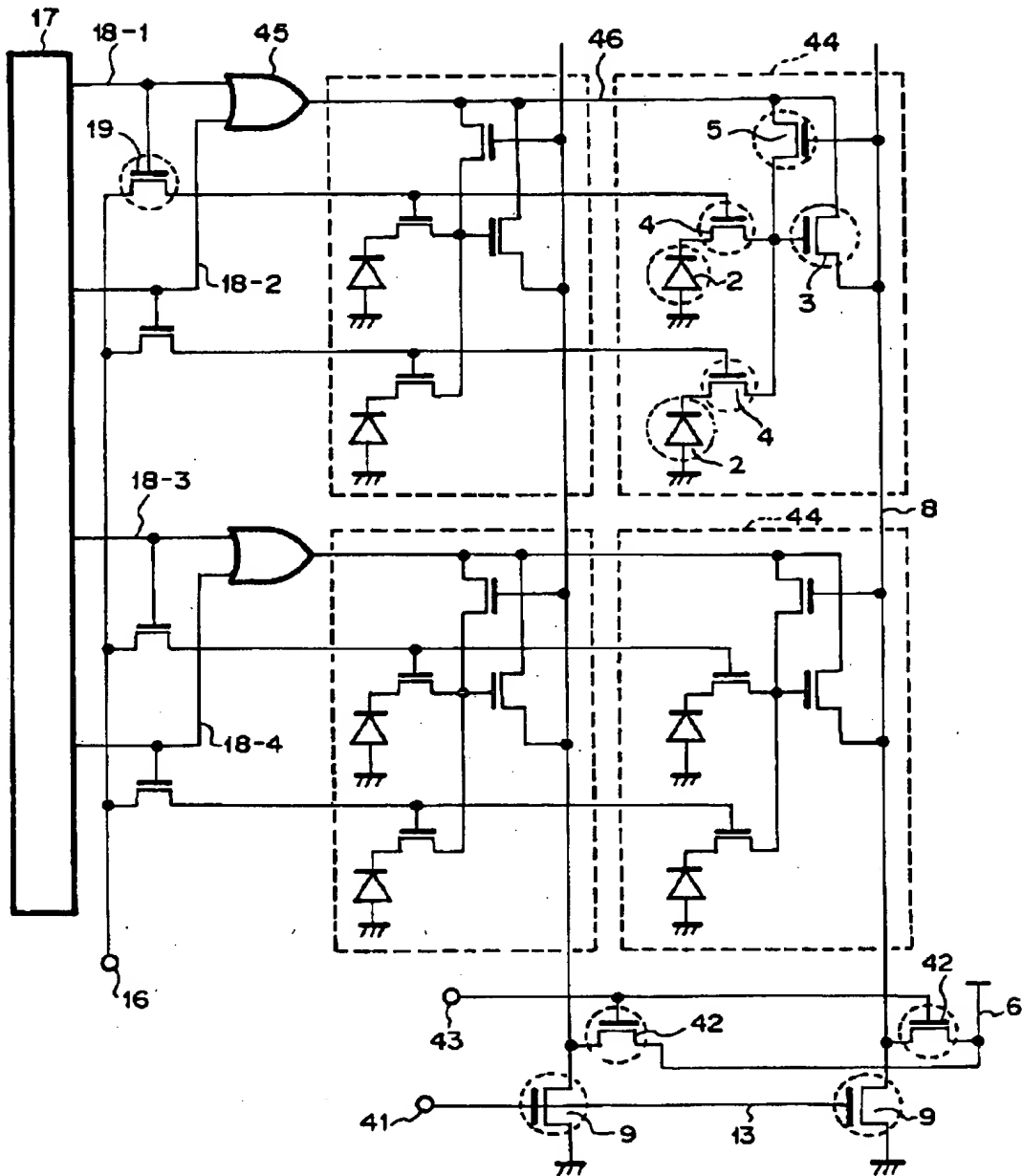
- 2 3 蓄積容量
- 2 4 蓄積容量
- 2 5 MOSトランジスタ
- 2 6 MOSトランジスタ
- 2 7 水平出力線
- 2 8 水平出力線
- 2 9 MOSトランジスタ
- 3 0 MOSトランジスタ
- 3 1 MOSトランジスタ
- 3 2 MOSトランジスタ
- 3 3 電位供給端子
- 3 4 水平シフトレジスタ
- 3 5 - 1, 3 5 - 2 水平シフトレジスタの出力線
- 3 6 パルス入力端子
- 3 7 パルス入力端子
- 3 8 パルス入力端子
- 3 9 差動アンプ
- 4 0 出力端子
- 4 1 ゲート電位入力端子
- 4 2 MOSトランジスタ
- 4 3 パルス入力端子
- 4 4 フォトダイオード共通単位画素
- 4 5 論理和ゲート
- 4 6 論理和ゲート 4 5 の出力 (画素のリセット兼電源供給線)

【書類名】 図面

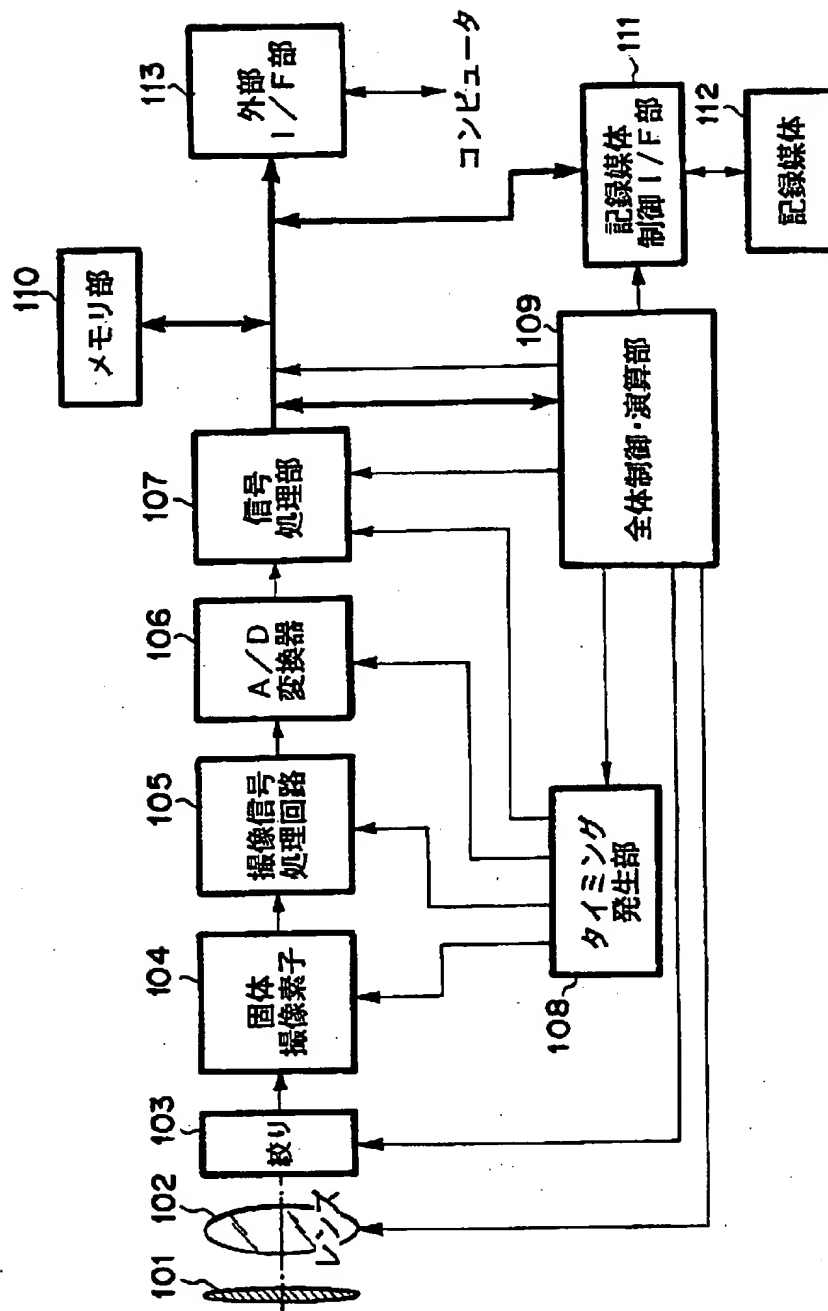
【図 1】



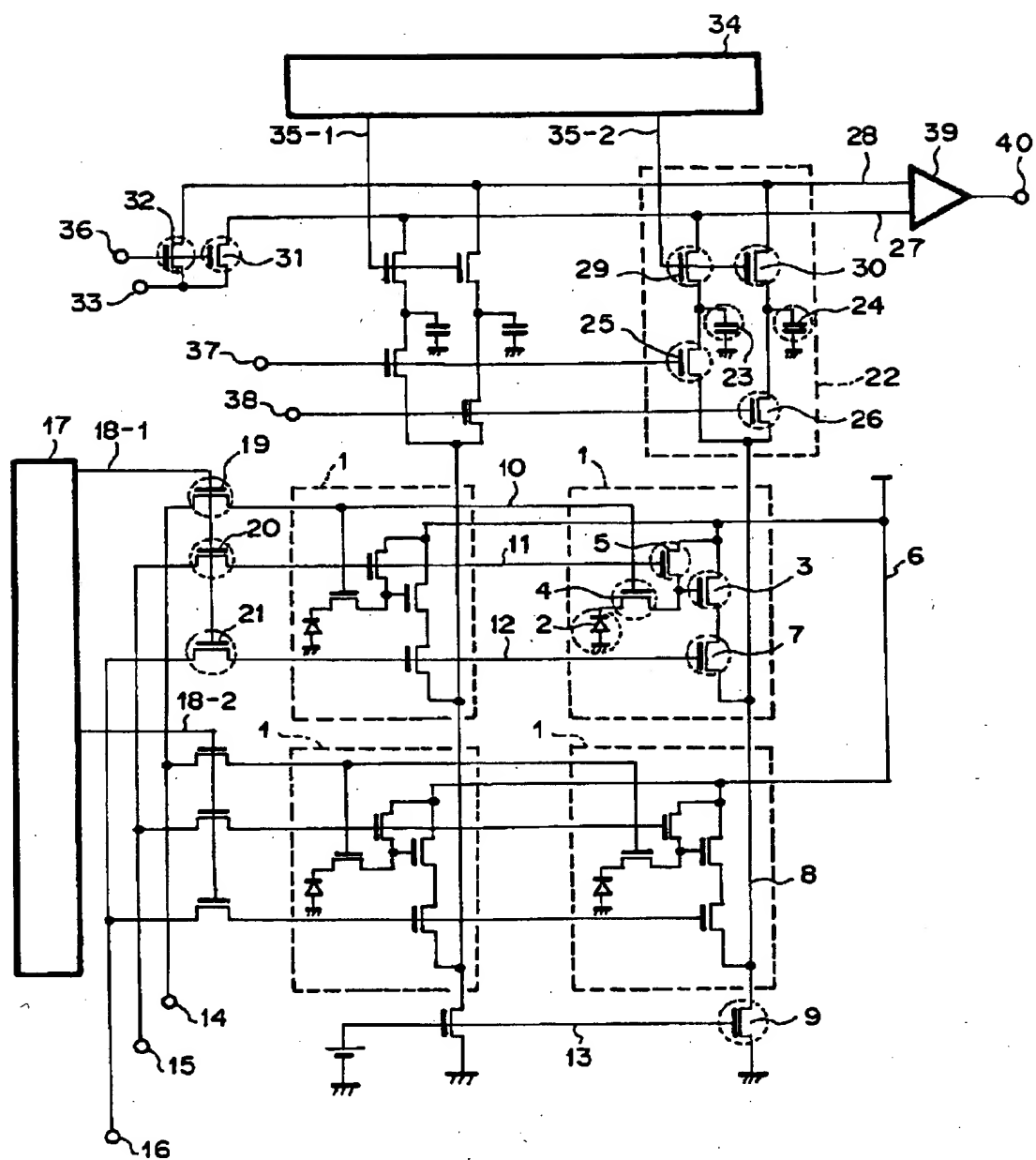
【図 2】



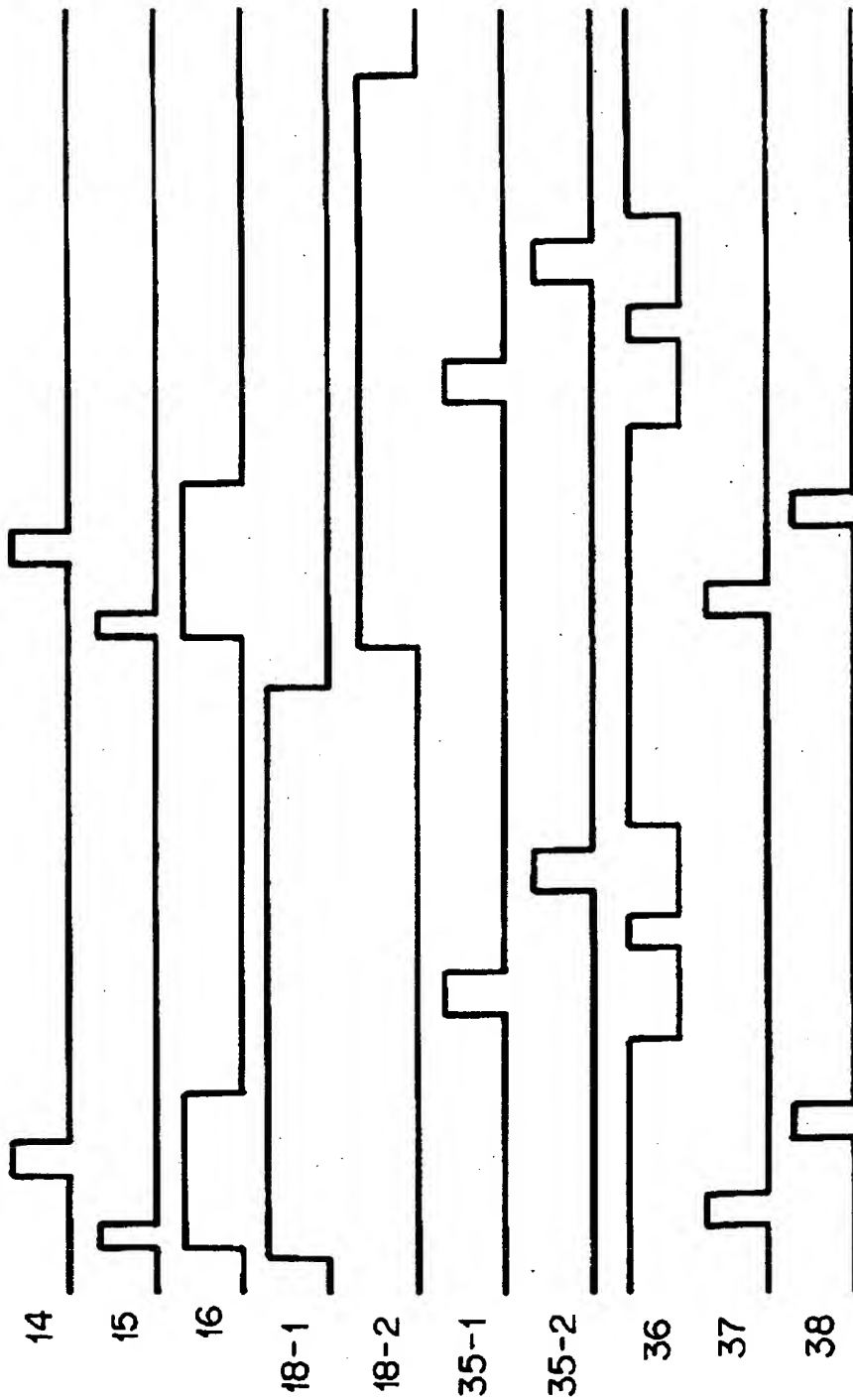
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 画素を構成するMOSトランジスタおよびゲート電位制御線の数減らす。

【解決手段】 光電変換部2と、光電変換部からの信号を読み出す読み出し手段3と、読み出し手段の入力部をリセットするために、リセット信号を入力部に供給するためのリセット手段5とを含む画素と、読み出し手段3からの信号が読み出される出力線8とを有し、リセット手段5は、出力線8の信号レベルに応じて制御される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都大田区下丸子3丁目30番2号
氏 名	キヤノン株式会社